

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-307817

(43) 公開日 平成9年(1997)11月28日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 4 N 5/335

H 0 4 N 5/335

P

F

H 0 1 L 27/148

H 0 1 L 27/14

B

審査請求 未請求 請求項の数17 O L (全 20 頁)

(21) 出願番号 特願平8-127515

(22) 出願日 平成8年(1996)5月22日

(31) 優先権主張番号 特願平7-123992

(32) 優先日 平7(1995)5月23日

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願平8-59853

(32) 優先日 平8(1996)3月15日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 小山 英嗣

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72) 発明者 渡辺 恭志

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

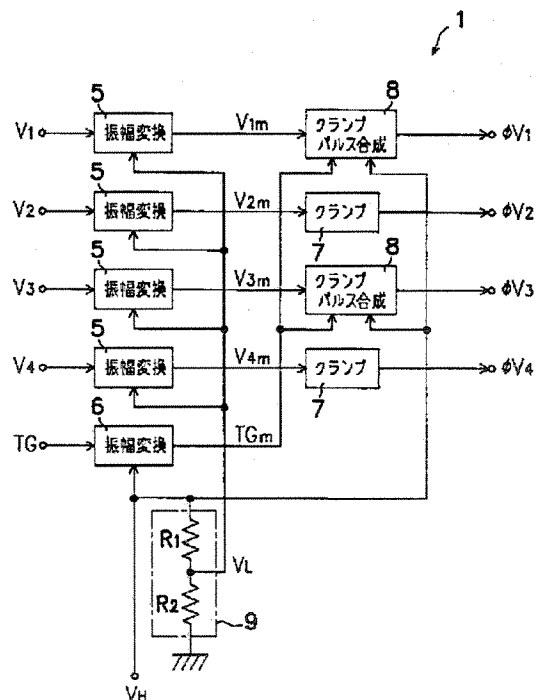
(74) 代理人 弁理士 山本 秀策

(54) 【発明の名称】 ドライバ回路

(57) 【要約】

【課題】 正または負いずれか一方の極性の電源電圧を供給する1系統の電源回路を用いて、電源電圧とは異なる極性の電圧レベルを有する有する多値の駆動パルスを生成するドライバ回路を提供する。

【解決手段】 第1の極性の電源電圧を分圧して第1の電圧を生成する分圧手段と、該第1の電圧を用いて入力タイミング信号の振幅を変換し、実質的に該第1の電圧と接地電圧とにピークを有する増幅信号を生成する振幅変換手段と、該増幅信号の該接地電圧ピークが、該第1の極性とは異なる第2の極性を有する第2の電圧にシフトされるように、該増幅信号を該接地電圧と該第1の電圧との間の所定の電圧でクランプするクランプ手段と、を備えることにより、該第2の電圧にピークを有し、第1の電圧に実質的に等しい振幅を有するパルス電圧信号を生成する。



(2)

1

【特許請求の範囲】

【請求項1】 入力されるタイミング信号に基づき、電源から供給される第1の極性の電源電圧を用いて、複数レベルを有する駆動用パルス信号を生成するドライバ回路であって、該ドライバ回路は、
該電源電圧を分圧することにより第1の電圧を生成する分圧手段と、

該第1の電圧を用いて該入力タイミング信号の振幅を変換し、実質的に該第1の電圧と接地電圧とにピークを有する増幅信号を生成する振幅変換手段と、

該増幅信号の該接地電圧ピークが、該第1の極性とは異なる第2の極性を有する第2の電圧にシフトされるように、該増幅信号を該接地電圧と該第1の電圧との間の所定の電圧でクランプするクランプ手段と、
を備えており、

そのことにより、該第2の電圧にピークを有し、該第1の電圧に実質的に等しい振幅を有するパルス電圧信号を生成する、ドライバ回路。

【請求項2】 前記クランプ手段で生成されたパルス電圧信号に第3の電圧信号を合成し、3値以上のレベルを有する駆動用パルス電圧信号を生成する合成手段を備えている、請求項1に記載のドライバ回路。

【請求項3】 前記第3の電圧信号は、前記電源から供給される前記第1の極性の電源電圧レベルを有する直流電圧信号である、請求項2に記載のドライバ回路。

【請求項4】 前記第3の電圧信号は、前記電源電圧と前記接地電圧とにピークを有するパルス電圧信号である、請求項2に記載のドライバ回路。

【請求項5】 前記合成手段は、前記クランプ手段で生成されるパルス電圧信号と前記第3の電圧信号とを所定のタイミングで切り替えて出力する手段を含む、請求項2に記載のドライバ回路。

【請求項6】 前記電源から供給される前記電源電圧を用いて第2の入力タイミング信号の振幅を変換し、前記第1の極性の電源電圧及び接地電圧にピークを有する第2の増幅信号を生成する第2の振幅変換手段を更に備えている、請求項2に記載のドライバ回路。

【請求項7】 前記第3の電圧信号は前記第2の増幅信号である、請求項6に記載のドライバ回路。

【請求項8】 前記クランプ手段がクランプする前記所定の電圧は、接地電圧である、請求項1に記載のドライバ回路。

【請求項9】 前記クランプ手段は、キャパシタ及びダイオードを有するダイオードクランプ回路である、請求項1に記載のドライバ回路。

【請求項10】 入力されるタイミング信号に基づき、電源から供給される第1の極性の電源電圧を用いて、複数レベルを有する駆動用のパルス電圧信号を生成する方法であって、該方法は、
該電源電圧を分圧して第1の電圧を生成する分圧ステッ

2

プと、

該第1の電圧を用いて該入力タイミング信号の振幅を変換し、実質的に該第1の電圧と接地電圧とにピークを有する増幅信号を生成する振幅変換ステップと、

該増幅信号の該接地電圧ピークが、該第1の極性とは異なる第2の極性を有する第2の電圧にシフトされるように、該増幅信号を該接地電圧と該第1の電圧との間の所定の電圧でクランプすることにより、該第2の電圧にピークを有し、該第1の電圧に実質的に等しい振幅を有するパルス電圧信号を生成するクランプステップと、

を含む、方法。

【請求項11】 前記クランプステップにおいて生成されたパルス電圧信号に第3の電圧信号を合成し、3値以上のレベルを有する駆動用パルス電圧信号を生成する合成ステップを含む、請求項10に記載の駆動用パルス電圧信号の生成方法。

【請求項12】 前記合成ステップにおいて、前記第3の電圧信号として、前記電源から供給される前記第1の極性の電源電圧レベルを有する直流電圧信号を用いる、請求項11に記載の駆動用パルス電圧信号の生成方法。

【請求項13】 前記合成ステップにおいて、前記第3の電圧信号として、前記電源電圧と前記接地電圧とにピークを有するパルス電圧信号を用いる、請求項11に記載の駆動用パルス電圧信号の生成方法。

【請求項14】 前記合成ステップは、前記クランプステップで生成されるパルス電圧信号と前記第3の電圧信号とを所定のタイミングで切り替えて出力するステップを含む、請求項11に記載の駆動用パルス電圧信号の生成方法。

【請求項15】 前記電源から供給される前記第1の極性の電源電圧を用いて第2の入力タイミング信号の振幅を変換し、該電源電圧と接地電圧とにピークを有する第2の増幅信号を生成する第2の振幅変換ステップを更に含む、請求項11に記載の駆動用パルス電圧信号の生成方法。

【請求項16】 前記合成ステップにおいて、前記第3の電圧信号として前記第2の増幅信号を用いる、請求項15に記載の駆動用パルス電圧信号の生成方法。

【請求項17】 前記クランプするステップにおいて、前記所定の電圧は接地電圧である、請求項10に記載の駆動用パルス電圧信号の生成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、多値パルス信号を生成するドライバ回路及び多値パルス信号の生成方法に関し、特に、CCD型固体撮像素子を動作させるドライバ回路及びCCD型固体撮像素子の駆動用パルス信号の生成方法に関する。

【0002】

【従来の技術】ビデオカメラ、監視カメラ、ドアホンカ

50

(3)

3

メラ、車載用カメラ、TV電話用カメラ、およびマルチメディア用カメラなどの各種のカメラシステムに用いられる固体撮像素子として、CCD (Charge Coupled Device) 型固体撮像素子が広く用いられている。図1は従来の一般的なCCD型固体撮像素子100の構成を示している。図1に示すように、受光部のフォトダイオード101によって光電変換された電荷は、まず一括して垂直CCD102に転送される。垂直CCD102の電荷は、端子 $v_1 \sim v_4$ に印加される4相のパルス電圧信号に従って1行ずつ水平CCD103に転送される。水平CCD103に転送された電荷は、端子 h_1 及び h_2 に印加される2相のパルス電圧信号に従って、水平CCD103内を順次転送され、映像信号として出力される。

【0003】図2は、垂直CCD102を駆動する4相のパルス電圧信号 $\phi V_1 \sim \phi V_4$ の一例を示している。図2に示されるように、 ϕV_2 及び ϕV_4 は、負レベル ($-V_L$) 及び0レベル (0電位) とを有する2値電圧信号であり、 ϕV_1 及び ϕV_3 は、正レベル (V_H)、負レベル ($-V_L$)、及び中間レベル (0電位) を有する3値電圧信号である。通常、 $-V_L$ 及び V_H の値は、それぞれ、 $-10V$ 及び $15V$ 程度に設定される。また、中間レベルは、フォトダイオード101から垂直CCD102への電荷の読み出しゲートのしきい値電圧 ($0 \sim 1V$) をとることができるが、システムの設計上の簡便さから、0電位が選ばれることが多い。

【0004】垂直CCD102内の電荷の転送は、通常、負レベル及び0レベルのパルス電圧を垂直CCDの各ゲートに印加することによって行なわれる。すなわち、図2に示されるように、パルス電圧信号 $\phi V_1 \sim \phi V_4$ における負レベル ($-V_L$) 及び0レベル (0電位) の信号部分によって、垂直CCD102内の電荷の転送が行なわれる (転送期間)。また、フォトダイオード101から垂直CCD102へ電荷の転送は、読み出しゲートに正レベルのパルス電圧を印加することによって行なわれる。すなわち、図2に示されるように、パルス電圧信号 ϕV_1 及び ϕV_3 の正レベル (V_H) パルスによって、光電変換された電荷のフォトダイオード101からの読み出しが行なわれる (読み出し期間)。このように、パルス電圧信号 ϕV_2 及び ϕV_4 は垂直CCD102内の電荷の転送にのみ寄与する駆動信号であり、パルス電圧信号 ϕV_1 及び ϕV_3 は、光電変換された電荷の読み出し及び垂直CCD102内の電荷の転送に寄与する駆動信号である。

【0005】垂直CCD102内の電荷の転送を負電圧によって行う理由は以下の通りである。読み出しゲートのしきい値電圧が $0 \sim 1V$ 程度であるため、電荷の転送を $0V$ 以上の電圧で行った場合、垂直CCD内の電荷の転送中にフォトダイオード101に蓄積された電荷が垂直CCD102に漏れ出してしまう。従って、負電圧信号によって電荷を転送することにより、読み出しゲート

4

からの電荷の漏れ出しを防止することができる。また、もう1つの理由は、垂直CCD102内のバルク (半導体層) と酸化膜との境界面にホールを蓄積した状態 (ピンニング状態) することにより、バルクと酸化膜との境界付近に発生する暗電流を抑制するためには、垂直CCD102に印加される電圧を負電圧にする必要があるからである。

【0006】CCD型撮像素子100は、図3に示すように、パルス電圧信号 $\phi V_1 \sim \phi V_4$ を印加するドライバ回路120によって駆動される (例えば、特開平5-103272号公報参照)。ドライバ回路120は、電源回路160から供給されるレベル V_H 及び $-V_L$ に相当する直流電圧によって、周辺ICのタイミング回路140から与えられるタイミングパルス信号 (通常 $0V \sim 5V$ 駆動) から所定の電圧レベルを有するパルス電圧信号 $\phi V_1 \sim \phi V_4$ を生成し、CCD撮像素子100に印加する。

【0007】タイミング回路140は、垂直CCD駆動用のタイミングパルス信号 $V_1 \sim V_4$ 、及び読み出し用のタイミングパルス信号TGを発生する。図4は、タイミングパルス信号の一例を示している。図4からわかるように、タイミングパルス信号TGは、フォトダイオード101からの電荷の読み出し期間にのみハイ (H) レベル ($5V$) となり、垂直CCD102内の電荷の転送期間はロー (L) レベル ($0V$) となる。タイミングパルス信号 $V_1 \sim V_4$ は、電荷の転送期間においてそれぞれ異なる位相のパルス信号を有している。

【0008】タイミングパルス信号の電圧レベルは通常 $0V \sim 5V$ の論理レベルであるため、ドライバ回路120 (Vドライバと呼ばれる) によって、垂直CCD102の駆動に必要な電圧レベルを有する駆動用のパルス電圧信号 $\phi V_1 \sim \phi V_4$ に変換される。図2及び4からわかるように、タイミングパルス信号 $V_1 \sim V_4$ は、それぞれ、パルス電圧信号 $\phi V_1 \sim \phi V_4$ に対応しており、更に、タイミングパルス信号TGの読み出しパルス (Hレベル) は、パルス電圧信号 ϕV_1 及び ϕV_3 の正レベルパルス (V_H) によって担われる。このように、5つの2値のタイミングパルス信号 $V_1 \sim V_4$ が、2つの3値のパルス電圧信号 ϕV_1 及び ϕV_3 と、2つの2値のパルス電圧信号 ϕV_2 及び ϕV_4 に変換される。

【0009】図5は、従来のドライバ回路120の構成の一例を示している。図5に示されるように、ドライバ回路120は、クランプ回路121、第1の振幅変換回路122、第2の振幅変換回路124、及びパルス合成回路123を有している。電源回路160からの負の電源電圧 ($-V_L$) はクランプ回路121と及び第1の振幅変換回路122に供給され、電源回路160からの正の電源電圧 (V_H) は第2の振幅変換回路124に供給される。

【0010】ドライバ回路120に入力されたタイミン

(4)

5

グパルス信号 $V_1 \sim V_4$ は、それぞれ、クランプ回路121及び第1の振幅変換回路122によって、所定の振幅($-V_L \sim 0$)を有する信号 $V_{1m} \sim V_{4m}$ に変換される。タイミングパルス信号TGは、第2の振幅変換回路124によって、所定の振幅($0 \sim V_H$)を有する信号 TG_m に変換され、パルス合成回路123に与えられる。

【0011】振幅変換されたタイミングパルス信号 V_{2m} 及び V_{4m} は、そのまま、パルス電圧信号 ϕV_2 及び ϕV_4 として出力される。振幅変換されたタイミングパルス信号 V_{1m} 及び V_{3m} は、更に、パルス合成回路123において、読み出し期間に対応する正レベルのパルス(V_H)を付加され、パルス電圧信号 ϕV_1 及び ϕV_3 として出力される。図6に、振幅変換されたタイミング信号 $V_{1m} \sim V_{4m}$ 及び TG_m を示す。

【0012】図7は、クランプ回路121及び第1の振幅変換回路122の具体的な構成例を示している。図7に示されるクランプ回路121は、キャパシタC及びダイオード131を有するダイオードクランプ回路である。ダイオード131のアノードには、電源回路から160からの負電圧($-V_L$)が印加されている。クランプ回路121は、入力線130aに入力されるタイミングパルス信号(図7では、 V_2 及び V_4 が示されている)の交流成分(振幅5V)をキャパシタCによって伝送する。また、クランプ回路121から出力される直流成分は、ダイオード131のカソード側の電位がアノード側の電位($-V_L$)よりも高くなる電位で安定することにより決定される。従って、出力線130b上の信号は、図7に示されるように、レベル $-V_L \sim (-V_L + 5)$ の2値信号となる。

【0013】尚、厳密には、カソード側電位は、アノード側電位-ダイオードのドロップ電位より大きくなる電位で安定となるが、ドロップ電位が0.5V程度であるので、簡単のためドロップ電位は無視して考えることにする。

【0014】第1の振幅変換回路122は、電源回路160から与えられる負の電源電圧($-V_L$)と接地電圧(0V)との間に接続された2段のCMOSインバータからなる。クランプ回路121から出力された信号は、第1の振幅変換回路122の1段目のCMOSインバータによってパルスを反転されると共に、パルス振幅が $-V_L \sim 0$ になるように増幅され、更に2段目のインバータによって再びパルスが反転されて、振幅が増幅された($-V_L \sim 0$)パルス信号として出力される(図7には、 V_{2m} 及び V_{4m} が示されている)。振幅変換されたタイミング信号 V_{2m} 及び V_{4m} は、そのままパルス電圧信号 ϕV_2 及び ϕV_4 として出力され、垂直CCD102の駆動に用いられる。

【0015】図8は、第2の振幅変換回路124及びパルス合成回路123の具体的な構成例を示している。クランプ回路121及び第1の振幅変換回路122の構成

6

及び動作は図7で説明した通りである。タイミングパルス信号 V_1 及び V_3 は、クランプ回路121及び第1の振幅変換回路122によって振幅変換され、タイミング信号 V_{1m} 及び V_{3m} としてパルス合成回路123に出力される。

【0016】第2の振幅変換回路124は、電源回路160から与えられる正の電源電圧(V_H)と接地電圧(0V)との間に接続された2段のCMOSインバータからなる。タイミング信号TGは、第2の振幅変換回路124の1段目のCMOSインバータによってパルスが反転されるとともに、パルス振幅が $0 \sim V_H$ になるように増幅され、更に2段目のインバータによって再びパルスが反転されて、パルス信号 TG_m として出力される。振幅変換されたタイミング信号 TG_m は、パルス合成回路123に与えられる。

【0017】パルス合成回路123は、第1の振幅変換回路122からの信号(V_{1m} 及び V_{3m})と、第2の振幅変換回路124からの信号 TG_m とを合成するスイッチ/加算回路である。図8に示されるように、パルス合成回路123は、NチャネルMOSFET133a及びPチャネルMOSFET133bを有している。MOSFET133aのゲート端子は第2の振幅変換回路124の1段目のインバータから出力されるタイミング信号TGの増幅反転信号 TG_m バーが入力され、MOSFET133bのゲート端子は接地されている。

【0018】したがって、タイミングパルス信号TGが0Vレベルの期間(電荷の転送期間)には、第2の振幅変換回路124から出力される0Vレベルのタイミング信号 TG_m によってMOSFET133bはOFFとなり、同時に、 V_H レベルの反転信号 TG_m バーによってMOSFET133aがONとなる。その結果、電荷転送期間において、パルス合成回路123からは、第1の振幅変換回路122からの出力(増幅されたタイミング信号 V_{1m} 及び V_{3m})が出力される。

【0019】また、タイミングパルス信号TGが5Vレベルの期間(読み出し期間)には、第2の振幅変換回路124から出力される V_H Vレベルのタイミング信号 TG_m によってMOSFET133bはONとなり、同時に、0Vレベルの反転信号 TG_m バーによってMOSFET133aがOFFとなる。その結果、読み出し期間において、パルス合成回路123からは、第2の振幅変換回路124からの出力(増幅されたタイミング信号 TG_m)が出力される。

【0020】このようにタイミング信号TGに従って、第1及び第1の振幅変換回路122及び124からの出力を選択的に出力することにより、増幅されたタイミング信号 V_{1m} 及び V_{3m} と TG_m とが合成され、読み出し及びCCD駆動用のパルス電圧信号 ϕV_1 及び ϕV_3 として出力される。

【0021】

7

【発明が解決しようとする課題】上述のように、従来のドライバ回路120は、電荷読み出し用の正レベルの(V_H)電源電圧と、電荷転送用の負レベル($-V_L$)の電源電圧とを必要とする。このため、電源回路160は、極性の異なる2つの電源電圧を供給しなければならず、回路構成が複雑化しかつ占有スペースが大きくなる。従って、固体撮像素子を用いるカメラシステムの小
型化やローコスト化の大きな障害になっている。また、極性の異なる2つの電源電圧供給の問題は、上述のCCD撮像素子用のドライバ回路に限らず、多値の駆動パルス
を発生して各種システムの駆動を行う従来のドライバ回路においても同様の問題を生じている。

【0022】本発明は、上記事情に鑑みてなされたものであり、その目的とするところは、正電圧または負電圧の何れか1つの極性の電源電圧のみを用いて、入力パルス
信号を電源電圧とは極性の異なるパルス(振幅ピーク)を有するパルス信号に変換することにより、極性の異なる電源電圧を別途必要としないドライバ回路を提供し、更に、正電圧または負電圧の何れか1つの極性の電源電圧のみを用いて、異なる極性の振幅ピークを含む多
値レベルの駆動用パルス信号を発生できるドライバ回路を提供することにある。

【0023】

【課題を解決するための手段】本発明のドライバ回路は、入力されるタイミング信号に基づき、電源から供給される第1の極性の電源電圧を用いて、複数レベルを有する駆動用パルス信号を生成するドライバ回路であって、該ドライバ回路は、該電源電圧を分圧することにより第1の電圧を生成する分圧手段と、該第1の電圧を用いて該入力タイミング信号の振幅を変換し、実質的に該第1の電圧と接地電圧とにピークを有する増幅信号を生成する振幅変換手段と、該増幅信号の該接地電圧ピークが、該第1の極性とは異なる第2の極性を有する第2の電圧にシフトされるように、該増幅信号を該接地電圧と該第1の電圧との間の所定の電圧でクランプするクランプ手段とを備えており、そのことにより、該第2の電圧にピークを有し、該第1の電圧に実質的に等しい振幅を有するパルス電圧信号を生成する。これにより上記目的が達成される。

【0024】前記クランプ手段で生成されたパルス電圧信号に第3の電圧信号を合成し、3値以上のレベルを有する駆動用パルス電圧信号を生成する合成手段を備えていてもよい。

【0025】前記第3の電圧信号は、前記電源から供給される前記第1の極性の電源電圧レベルを有する直流電圧信号であってもよい。

【0026】前記第3の電圧信号は、前記電源電圧と前記接地電圧とにピークを有するパルス電圧信号であってもよい。

【0027】前記合成手段は、前記クランプ手段で生成

(5)

8

されるパルス電圧信号と前記第3の電圧信号とを所定のタイミングで切り替えて出力する手段を含んでいてもよい。

【0028】前記電源から供給される前記電源電圧を用いて第2の入力タイミング信号の振幅を変換し、前記第1の極性の電源電圧及び接地電圧にピークを有する第2の増幅信号を生成する第2の振幅変換手段を更に備えていてもよい。

【0029】前記第3の電圧信号は前記第2の増幅信号であってもよい。

【0030】前記クランプ手段がクランプする前記所定の電圧は、接地電圧であってもよい。

【0031】前記クランプ手段は、キャパシタ及びダイオードを有するダイオードクランプ回路であってもよい。

【0032】本発明の方法は、入力されるタイミング信号に基づき、電源から供給される第1の極性の電源電圧を用いて、複数レベルを有する駆動用のパルス電圧信号を生成する方法であって、該方法は、該電源電圧を分圧して第1の電圧を生成する分圧ステップと、該第1の電圧を用いて該入力タイミング信号の振幅を変換し、実質的に該第1の電圧と接地電圧とにピークを有する増幅信号を生成する振幅変換ステップと、該増幅信号の該接地電圧ピークが、該第1の極性とは異なる第2の極性を有する第2の電圧にシフトされるように、該増幅信号を該接地電圧と該第1の電圧との間の所定の電圧でクランプすることにより、該第2の電圧にピークを有し、該第1の電圧に実質的に等しい振幅を有するパルス電圧信号を生成するクランプステップとを含んでおり、これにより上記目的が達成される。

【0033】前記クランプステップにおいて生成されたパルス電圧信号に第3の電圧信号を合成し、3値以上のレベルを有する駆動用パルス電圧信号を生成する合成ステップを含んでいてもよい。

【0034】前記合成ステップにおいて、前記第3の電圧信号として、前記電源から供給される前記第1の極性の電源電圧レベルを有する直流電圧信号を用いてもよい。

【0035】前記合成ステップにおいて、前記第3の電圧信号として、前記電源電圧と前記接地電圧とにピークを有するパルス電圧信号を用いてもよい。

【0036】前記合成ステップは、前記クランプ手段で生成されるパルス電圧信号と前記第3の電圧信号とを所定のタイミングで切り替えて出力するステップを含んでいてもよい。

【0037】前記電源から供給される前記第1の極性の電源電圧を用いて第2の入力タイミング信号の振幅を変換し、該電源電圧と接地電圧とにピークを有する第2の増幅信号を生成する第2の振幅変換ステップを更に含んでいてもよい。

50

9

【0038】前記合成ステップにおいて、前記第3の電圧信号として前記第2の増幅信号を用いてもよい。

【0039】前記クランプするステップにおいて、前記所定の電圧は接地電圧であってもよい。

【0040】

【発明の実施の形態】以下、図面を参照しながら、本発明によるドライバ回路を、CCD撮像素子を駆動するドライバ回路の実施例を用いて説明する。

【0041】図9は、本発明によるドライバ回路1をCCD型撮像素子3の駆動に用いる場合を示している。図9に示されるように、ドライバ回路1には、電源回路4から正レベル(V_H)の直流電圧が供給され、周辺ICのタイミング回路2から垂直CCD駆動用のタイミングパルス信号 $V_1 \sim V_4$ 、及び読み出し用のタイミングパルス信号TGが与えられる。タイミング回路2は、従来のタイミング回路140と同様である。本発明によるドライバ回路1は、タイミングパルス信号(通常0V~5V駆動)から、正レベルの電源電圧のみを用いて、所定の電圧レベルを有するパルス電圧信号 $\phi V_1 \sim \phi V_4$ を生成し、CCD撮像素子3に印加する。

【0042】(実施例1)図10は、第1の実施例によるドライバ回路1の構成を示している。図10に示されるように、ドライバ回路1は、第1の振幅変換回路5、第2の振幅変換回路6、クランプ回路7、クランプ/パルス合成回路8、及び分圧回路9を有している。電源回路4からの正の電源電圧(V_H)は、第2の振幅変換回路6、分圧回路9の一方の端子、及びクランプ/パルス合成回路8に供給される。分圧回路9の出力(中間電圧 V_L)は、各振幅変換回路5に供給される。タイミングパルス信号 $V_1 \sim V_4$ は、それぞれ、対応する第1の振幅変換回路5に入力され、タイミングパルス信号TGは第2の振幅変換回路6に入力される。

【0043】各第1の振幅変換回路5は、分圧回路9から与えられる中間電圧(V_L)を用い、タイミングパルス信号 $V_1 \sim V_4$ を、所定の振幅(0~ V_L)を有する信号 $V_{1m} \sim V_{4m}$ に変換する。振幅変換されたタイミング信号 V_{1m} 及び V_{3m} は、クランプ/パルス合成回路8に入力され、振幅変換されたタイミング信号 V_{2m} 及び V_{4m} は、クランプ回路7に入力される。

【0044】また、第2の振幅変換回路6は、電源回路4から与えられる正レベルの電圧(V_H)を用い、タイミング信号TGを、所定の振幅(0~ V_H)を有する信号 TG_m に変換する。後述するように、信号 TG_m は、タイミング信号TGの振幅を増幅し且つパルスを反転した信号(すなわち、タイミング信号TGがハイレベルのときにローレベルであり、タイミング信号TGがローレベルのときにハイレベル)である。振幅変換されたタイミング信号 TG_m は、クランプ/パルス合成回路8に入力される。

【0045】クランプ回路7の出力は、垂直CCD駆動

(6)

10

専用のパルス電圧信号 ϕV_2 及び ϕV_4 となり、クランプ/パルス合成8の出力は、読み出し及び垂直CCD駆動のパルス電圧信号 ϕV_1 及び ϕV_3 となる。

【0046】図10に示すように、分圧回路9は、直列に接続された抵抗 R_1 及び R_2 を有しており、一方の端子は正レベルの電源電圧(V_H)に接続され、他方の端子は接地電圧(0V)に接続されている。抵抗 R_1 及び R_2 の接続ノードから、電圧 V_H を抵抗分圧して得られる中間電圧 V_L が出力され、第1の振幅変換回路5に供給される。

【0047】図11は、第1の振幅変換回路5の具体的な構成例を示している。第1の振幅変換回路5は、分圧回路9から与えられる中間電圧(V_L)と接地電圧(0V)との間に接続された2段のCMOSインバータを備えている。図11に示されるように、各CMOSインバータは、NチャネルのMOSFET50a(50b)及びPチャネルのMOSFET50c(50d)から構成される。

【0048】第1の振幅変換回路5に入力されたタイミング信号 $V_1 \sim V_4$ は、1段目のCMOSインバータによってパルスを反転され、且つパルス振幅が0~ V_L になるように増幅され、更に2段目のインバータによって再びパルスが反転されて、0~ V_L に振幅増幅されたパルス信号 $V_{1m} \sim V_{4m}$ として出力される。第1の振幅変換回路5に入力されるタイミング信号 $V_1 \sim V_4$ 、及び出力される振幅変換されたタイミング信号 $V_{1m} \sim V_{4m}$ の波形は、図12に示す通りである。

【0049】図13は、第2の振幅変換回路6の具体的な構成例を示している。第2の振幅変換回路6は、電源回路4から与えられる正の電源電圧(V_H)と接地電圧(0V)との間に接続された2段のCMOSインバータを備えている。図13に示されるように、各CMOSインバータは、NチャネルのMOSFET60a(60b)及びPチャネルのMOSFET60c(60d)から構成される。

【0050】第2の振幅変換回路6に入力されたタイミング信号TGは、1段目のCMOSインバータによってパルスが反転され、且つパルス振幅が0~ V_H になるように増幅されて、ノード61から反転増幅信号 TG_m として出力される。また、同時に反転増幅信号 TG_m は、更に2段目のインバータによって再びパルスが反転されて、ノード62から振幅0~ V_H の増幅パルス信号 TG_m' として出力される。本実施例においては、図10に示されるように、反転増幅信号 TG_m のみがクランプ/パルス合成回路8に供給される。尚、反転増幅信号 TG_m 及び増幅パルス信号 TG_m' がクランプ/パルス合成回路8に供給される場合については、実施例2として後述する。

【0051】図14はクランプ回路7の構成の1例を示している。図14に示されるクランプ回路7は、キャパ

(7)

11

シタC及びダイオード71を有しており、ダイオード71において出力線70bから接地電圧側に流れる電流が順方向となるように構成された負クランプ回路である。ダイオード71のアノードは、キャパシタCからの出力信号線70bに接続され、カソードは接地(0レベル)されている。クランプ回路7は、入力線70aに入力される増幅されたパルス信号(V_{2m} 及び V_{4m})の交流成分(振幅 V_L)をキャパシタCによって伝送する。また、クランプ回路7から出力される直流成分は、出力信号線70b上の信号がダイオード71のカソード側の電位(0V)がアノード側の電位よりも高くなる電位で安定することにより決定される。即ち、アノードが接続された出力信号線70b上の信号は、そのレベルが0V以下になるようにシフトされるので、出力線70b上の信号は、図14に示されるように、レベル $-V_L \sim 0$ の2値信号となる。

【0052】このように、接地電圧でクランプすることにより、パルスの振幅(peak to peak)は変化せず、接地電圧及び正電圧にピークを有する信号 V_{2m} 及び V_{4m} (振幅レベル $0 \sim V_L$)から、負電圧及び接地電圧にピークを有する信号(振幅レベル $-V_L \sim 0$)が生成される。このようにクランプされたタイミング信号 V_{2m} 及び V_{4m} は、そのままパルス電圧信号 ϕV_2 及び ϕV_4 として出力される(図12)。尚、簡単のため、ダイオード71におけるドロップ電圧は無視して説明している。以下の説明においても同様である。

【0053】クランプ回路7のキャパシタCの容量は、パルス振幅の低下を招かない程度の値とすることが好ましい。例えば、1/3インチ型CCDを用いた場合には、キャパシタCの容量は $0.1 \mu F$ 以上が適当である。この場合、垂直CCDの電極負荷容量は約3000pFであるので、容量 $0.1 \mu F$ のキャパシタCとの容量分圧により、垂直CCDの電極に印加される電圧は、次式(1)で示されるように、約97.1%に低下する。しかし、この程度の電圧低下であれば実用上問題はない。

【0054】

【数1】

$$\frac{0.1 \mu F}{0.1 \mu F + 3000 pF} = 97.1\%$$

【0055】クランプ回路7は、図14に示すダイオードクランプ回路の他にも、MOSFETなどの他の半導体素子を用いて構成することもできる。MOSFETは、ゲート端子とドレイン端子とを短絡することにより、ソースドレイン間に印加される電圧がしきい値を超えるとONになる2端子スイッチング素子として用いることができる。

【0056】例えば、図15に示すように、ダイオード71に代えてNチャネルのMOSFET72を用いても

12

よい。MOSFET72は、ゲート及びドレインが出力線70bに接続され、ソースが接地されている。また、同様に、図16は、ダイオード71に代えてPチャネルのMOSFET73を用いた例を示している。MOSFET73は、ゲート及びドレインが接地され、ソースが出力線70bに接続されている。クランプ回路7は、これに限らず、他のピーククランプ回路やその他のクランプ回路を用いることもできる。

【0057】図17は、クランプ/パルス合成回路8の構成の1例を示している。図17に示されるように、クランプ/パルス合成回路8は、クランプ部8a及びパルス合成部8bを有している。

【0058】クランプ部8aは、図14で説明したクランプ回路7と同様の構成であり、キャパシタC及びダイオード81を有する負クランプ回路である。ただし、キャパシタCとダイオード81との間に、パルス合成部8bのNチャネルMOSFET82cが挿入されている。尚、クランプ部8aのキャパシタCの容量は、クランプ回路7の場合と同様に $0.1 \mu F$ 以上としている。

【0059】パルス合成部8bは、正レベル(V_H)の電源電圧と出力線80bとの間の接続をON/OFF制御するPチャネルのMOSFET82a、クランプ部8aのダイオード81のカソードと接地電圧(0V)との間の接続をON/OFF制御するNチャネルのMOSFET82b、及びクランプ部8aのキャパシタCと出力線80bとの間の接続をON/OFF制御するNチャネルのMOSFET82cを有している。

【0060】3つのMOSFET82a～cのそれぞれのゲート端子には、第2の振幅増幅回路6のノード61から出力される反転増幅信号 TG_m が入力される。従って、図12にも示されるように、タイミング信号TGがローレベル(0V)となる転送期間において、反転増幅信号 TG_m はハイレベル(V_H)となるため、PMOSFET82aはOFF状態、NMOSFET82b及び82cはON状態となる。従って、転送期間においては、クランプ部8aが上述のクランプ回路7と同じ接続状態となり、クランプ/パルス合成回路8は、クランプ回路7と同様の動作を行う。

【0061】転送期間において、クランプ部8aは、入力線80aに入力される増幅されたパルス信号(V_{1m} 及び V_{3m})の交流成分(振幅 V_L)をキャパシタCによって伝送し、直流成分をダイオード81によってクランプする。従って、転送期間における出力線80b上の信号はレベル $-V_L \sim 0$ の2値信号となる。

【0062】また、タイミング信号TGがハイレベル(5V)となる読み出し期間において、反転増幅信号 TG_m はローレベル(0V)となるため、PMOSFET82aはON状態、NMOSFET82b及び82cはOFF状態となる。従って、読み出し期間においては、電源電圧(V_H)が出力線80bを介して出力される。

(8)

13

【0063】従って、クランプ／パルス合成回路8からは、図12に示されるように、ローレベル ($-V_L$)、中間値 ($0V$)、及びハイレベル (V_H) を有する3値のパルス電圧信号 ϕV_1 及び ϕV_3 が出力される。

【0064】クランプ部8aは、クランプ回路7の場合と同様に、図17に示すダイオードを用いるクランプ回路の他に、MOSFETなどの他の半導体素子を用いて構成することもできる。例えば、図18に示すように、ダイオード81に代えてPチャネルのMOSFET83を用いてもよい。PMOSFET83は、ゲート及びドレインがNMOSFET82bを介して接地され、ソースが出力線80bに接続されている。また、図19は、ダイオード81に代えてNチャネルのMOSFET84を用いた例を示している。NMOSFET84は、ゲート及びドレインが出力線80bに接続され、ソースがNMOSFET82bを介して接地されている。クランプ回路8aは、これらの例に限らず、他のピーククランプ回路やその他のクランプ回路を用いることもできる。

【0065】次に、クランプ／パルス合成回路8における各素子の具体的な設計例について説明する。クランプ部8aのキャパシタCの容量は、前述のように $0.1\mu F$ 程度以上あれば十分である。キャパシタCは、比較的大きな容量を有するが、本実施例によるドライバ回路1を集積化する場合、または後述のようにCCD撮像素子3と一体化して集積化する場合においても、高誘電材料や絶縁膜の薄膜技術を利用することにより、キャパシタCも同一基板上に形成することが可能である。ただし、比較的大きな容量のキャパシタCは、外付けの構成としてもよい。

【0066】パルス合成部8bのMOSFET82a～82cに用いるトランジスタは、垂直CCDにおける数千pFの転送電極負荷容量を短時間で駆動するため、トランジスタのコンダクタンス値を大きく設計する必要がある。

【0067】ここで、ゲート幅: W 、ゲート長: L 、チャネル移動度: μ 、単位面積当たりのゲート容量: C_0 、ゲートソース端子間の電圧: V_{GS} 、及びしきい値電圧: V_{th} とすると、飽和領域におけるトランジスタの相互コンダクタンス g_m は下記の式(2)で表される。

【0068】

【数2】

$$g_m = \frac{W}{L} \mu C_0 (V_{GS} - V_{th})$$

【0069】従って、トランジスタの設計寸法(ゲート幅 W /ゲート長 L) を大きくすれば、相互コンダクタンス g_m を大きくすることができる。

【0070】例えば、例えば、ビデオカメラに用いるCCD撮像素子の場合、TV規格に従って垂直CCDを駆

14

動するためには、パルスの立ち上がりとしち下りの時定数 τ を $100ns$ 程度にする必要がある。時定数 τ は、下記の式(3)で表される。

【0071】

【数3】

$$\tau = \frac{C_L}{g_m}$$

【0072】前述の例のように、1/3型CCDの場合、垂直CCDの電極負荷容量 C_L は約 $3000pF$ であるので、 $g_m = 30mS$ となる。ここで、ゲートソース端子間電圧 V_{GS} としきい値電圧 V_{th} との差 ($V_{GS} - V_{th}$): $5V$ 、ゲート酸化膜の厚さ: 800\AA と仮定してゲート容量 C_0 を算出し、NチャネルMOSFETの移動度 μ_N : $600cm^2/Vs$ 、PチャネルMOSFETの移動度 μ_P : $200cm^2/Vs$ とすると、上述の式(2)より、PチャネルMOSFET82aの設計寸法 (W/L) は約700、NチャネルMOSFET82b及び82cでは約230となる。

【0073】次に、クランプ／パルス合成回路8の別の構成例について説明する。図20は、パルス合成部8bを、PチャネルMOSFET82a及びNチャネルMOSFET82dを用いて構成したクランプ／パルス合成回路8の1例を示している。

【0074】図20に示されるように、クランプ部8aは、図14で説明したクランプ回路7と同様の構成であり、キャパシタC及びダイオード81を有する負クランプ回路である。クランプ部8aの出力線80bは、パルス合成部8bのNMOSFET82dのソース端子に接続されている。尚、クランプ部8aのキャパシタCの容量は、クランプ回路7の場合と同様に $0.1\mu F$ 以上としている。

【0075】パルス合成部8bにおいて、PチャネルMOSFET82aのソース端子は正レベル (V_H) の電源電圧に接続されている。PチャネルMOSFET82a及びNチャネルMOSFET82dのドレイン端子は、共に出力線80cに接続されている。PチャネルMOSFET82a及びNチャネルMOSFET82dのゲート端子には第2の振幅増幅回路6のノード61から出力される反転増幅信号 TG_m が入力される。

【0076】従って、反転増幅信号 TG_m がハイレベル (V_H) となる転送期間においては、PMOSFET82aはOFF状態、NMOSFET82dはON状態となるため、クランプ／パルス変換回路8の出力線80cには、クランプ部8aの出力線80b上の信号が出力される。転送期間において、クランプ部8aは、クランプ回路7と同様に、入力線80aに入力される増幅されたパルス信号 (V_{1m} 及び V_{3m}) の交流成分(振幅レベル $0 \sim V_L$) をキャパシタCによって伝送し、直流成分をダイオード81によってクランプする。従って、転送期間における出力線80c上の信号はレベル $-V_L \sim 0$ の2

(9)

15

値信号となる。

【0077】また、反転増幅信号 TG_m がローレベル(0V)となる読み出し期間においては、PMOSFET 82aはON状態、NMOSFET 82dはOFF状態となるため、電源電圧(V_H)が出力線80cを介して出力される。

【0078】従って、クランプ/パルス合成回路8からは、図12に示されるように、ローレベル($-V_L$)、中間値(0V)、及びハイレベル(V_H)を有する3値のパルス電圧信号 ϕV_1 及び ϕV_3 が出力される。

【0079】上述の例の場合でも、クランプ部8aは、クランプ回路7の場合と同様に、図20に示すようなダイオードを用いるクランプ回路の他に、MOSFETなどの他の半導体素子を用いて構成することもできる。例えば、図21に示すように、ダイオード81に代えてPチャネルのMOSFET 83を用いてもよい。PMOSFET 83は、ゲート及びドレインが接地され、ソースが出力線80bに接続されている。また、図22は、ダイオード81に代えてNチャネルのMOSFET 84を用いた例を示している。NMOSFET 84は、ゲート及びドレインが出力線80bに接続され、ソースが接地されている。クランプ回路8aは、これらの例に限らず、他のピーククランプ回路やその他のクランプ回路を用いることもできる。

【0080】上述のように、本実施例のドライバ回路1によれば、入力パルス信号(タイミング信号)を振幅変換した後にクランプすることにより、正レベルの電源電圧(V_H)のみを供給する電圧回路4を用いて、負電圧レベル($-V_L$)を有する2値のパルス電圧信号(ϕV_2 及び ϕV_4)を発生することができる。正レベルの電源電圧(V_H)から、分圧回路9を用いて中間電圧(V_L)を発生させることにより、電源電圧とは絶対値の異なる負電圧($-V_L$)を得ることができる。

【0081】また、本実施例では、クランプ回路7及びクランプ/パルス合成回路8のクランプ部8aにおいては、接地電圧(0V)によってクランプしている。しかし、クランプする電圧はこれに限られず、接地電圧と、分圧回路9で得た中間電圧ととの間で自由に選択することが可能である。例えば、クランプ電圧を V_c ($0 < V_c < V_L$)に設定した場合、振幅ピークが $0 \sim V_L$ のパルス信号は、振幅ピークが $(V_L - V_c) \sim V_c$ のパルス信号になるようにシフトされる。

【0082】また、このようにして得られた負電圧レベルを有する2値のパルス電圧信号に、正レベルを有する信号を合成(すなわち、所定のタイミングで切り替えて出力)することにより、負電圧レベル(例えば $-V_L$)、中間値(例えば0V)、及び正電圧レベル(例えば V_H)を有する3値のパルス電圧信号(ϕV_1 及び ϕV_3)を生成することができる。上述のように、クランプ電圧を V_c に設定した場合には、負電圧レベル($V_c -$

16

V_L)、中間値(V_c)、及び正電圧レベル(例えば V_H)を有する3値のパルス電圧信号を得ることができる。

【0083】本実施例においては、正レベルの直流電圧(V_H)を合成する場合について説明したが、正レベルを有する2値以上の信号(例えば2値のパルス信号)を合成することもできる。このように、合成されるパルス電圧信号は3値に限らず、クランプ及びパルス合成を行うことによって、所望の多値レベルを有するパルス電圧

10 信号を生成することが可能である。

【0084】本実施例においては、正電圧を発生する1系統の電源回路を用いて、負電圧レベルを含む多値レベルのパルス電圧信号を生成するドライバ回路について説明したが、本発明はこれに限られるものではない。本発明によれば、同様に、負電圧を発生する1系統の電源回路のみを用いて、正電圧レベルを含む多値レベルのパルス電圧信号を生成することもできる。このように本発明によれば、正負何れか1系統の電源回路を用いて、正レベル及び負レベルを含む所望の多値レベルのパルス電圧

20 信号を生成できる。

【0085】(実施例2)図23は、本発明の第2の実施例によるドライバ回路1の構成を示している。図23に示されるように、ドライバ回路1は、第1の振幅変換回路5、第2の振幅変換回路6、クランプ回路7、クランプ/パルス合成回路8、及び分圧回路9を有している。電源回路4(図9参照)から供給される正の電源電圧(V_H)は、第2の振幅変換回路6及び分圧回路9の一方の端子に供給される。分圧回路9の出力(中間電圧 V_L)は、各振幅変換回路5に供給される。タイミング

30 パルス信号 $V_1 \sim V_4$ は、それぞれ、対応する第1の振幅変換回路5に入力され、タイミングパルス信号 TG は第2の振幅変換回路6に入力される。

【0086】各第1の振幅変換回路5は、実施例1と同様に、分圧回路9から与えられる中間電圧(V_L)を用い、タイミングパルス信号 $V_1 \sim V_4$ を、所定の振幅($0 \sim V_L$)を有する信号 $V_{1m} \sim V_{4m}$ に変換する。振幅変換されたタイミング信号 V_{1m} 及び V_{3m} は、クランプ/パルス合成回路8に入力され、振幅変換されたタイミング信号 V_{2m} 及び V_{4m} は、クランプ回路7に入力される。

【0087】また、第2の振幅変換回路6は、電源回路4から与えられる正レベルの電圧(V_H)を用い、タイミング信号 TG から、所定の振幅($0 \sim V_H$)を有する信号 TG_m 及び TG_m' を生成する。実施例1で述べたように、信号 TG_m は、タイミング信号 TG の振幅を増幅し且つパルスを反転した信号(すなわち、タイミング信号 TG がハイレベルのときにローレベルであり、タイミング信号 TG がローレベルのときにハイレベル)である。信号 TG_m' は、タイミング信号 TG の振幅のみが増幅された信号である。振幅変換されたタイミング信号 TG_m 及び TG_m' は、クランプ/パルス合成回路8に入

50

(10)

17

力される。

【0088】クランプ回路7の出力は、垂直CCD駆動専用のパルス電圧信号 ϕV_2 及び ϕV_4 となり、クランプ／パルス合成8の出力は、読み出し及び垂直CCD駆動のパルス電圧信号 ϕV_1 及び ϕV_3 となる。

【0089】図23に示すように、分圧回路9は、直列に接続された抵抗 R_1 及び R_2 を有しており、一方の端子は正レベルの電源電圧(V_H)に接続され、他方の端子は接地電圧(0V)に接続されている。抵抗 R_1 及び R_2 の接続ノードから、電圧 V_H を抵抗分圧して得られる中間電圧 V_L が出力され、第1の振幅変換回路5に供給される。

【0090】第1の振幅変換回路5及びクランプ回路7の具体的な構成は、それぞれ、図11及び図14～16に示される通りである。第1の振幅変換回路5及びクランプ回路7の動作も、実施例1で説明したのと同様であるので、ここでは説明を繰り返さない。第1の振幅変換回路5に入力されるタイミング信号 $V_1 \sim V_4$ 、及び出力される振幅変換されたタイミング信号 $V_{1m} \sim V_{4m}$ の波形は、実施例1と同様、図12に示す通りである。また、クランプ回路7から出力されるクランプされた信号、すなわち、パルス電圧信号 ϕV_2 及び ϕV_4 も図12に示される通りである。尚、本実施例においても、簡単のため、ダイオード71におけるドロップ電圧はすべて無視して説明する。

【0091】第2の振幅変換回路6の具体的な構成は、実施例1と同様、図13に示す通りである。第2の振幅変換回路6に入力されたタイミング信号TGは、1段目のCMOSインバータによってパルスが反転され、且つパルス振幅が $0 \sim V_H$ になるように増幅されて、ノード61から反転増幅信号 TG_m として出力される。また、同時に反転増幅信号 TG_m は、更に2段目のインバータによって再びパルスが反転されて、ノード62から振幅 $0 \sim V_H$ の増幅パルス信号 TG_m' として出力される。本実施例においては、図23に示されるように、反転増幅信号 TG_m 及び増幅パルス信号 TG_m' がクランプ／パルス合成回路8に供給される。

【0092】図24は、本実施例によるクランプ／パルス合成回路8の構成の1例を示している。図24に示されるように、クランプ／パルス合成回路8は、クランプ部8a及びパルス合成部8bを有している。第2の振幅変換回路6のノード61から出力される反転増幅信号 TG_m は、1つの端子から入力線80dに供給され、ノード62から出力される増幅パルス信号 TG_m' は、他の端子から入力線80eに供給される。

【0093】クランプ部8aは、図14で説明したクランプ回路7と同様の構成であり、キャパシタC及びダイオード81を有する負クランプ回路である。ただし、キャパシタCとダイオード81との間に、パルス合成部8bのNチャネルMOSFET82cが挿入されている。

18

尚、クランプ部8aのキャパシタCの容量は、クランプ回路7の場合と同様に $0.1 \mu F$ 以上としている。

【0094】パルス合成部8bは、PチャネルのMOSFET82a、NチャネルのMOSFET82b、NチャネルのMOSFET82cを有している。PチャネルMOSFET82aは、増幅パルス信号 TG_m' (振幅レベル $0 \sim V_H$)が供給される入力線80eと出力線80bとの間の接続をON/OFF制御する。NチャネルMOSFET82bは、クランプ部8aのダイオード81のカソードと接地電圧(0V)との間の接続をON/OFF制御する。NチャネルMOSFET82cは、クランプ部8aのキャパシタCと出力線80bとの間の接続をON/OFF制御する。

【0095】3つのMOSFET82a～cのそれぞれのゲート端子は、入力線80dに接続されており、第2の振幅増幅回路6のノード61から出力される反転増幅信号 TG_m が入力される。従って、図12に示されるように、タイミング信号TGがローレベル(0V)となる転送期間において、反転増幅信号 TG_m はハイレベル(V_H)となるため、PMOSFET82aはOFF状態、NMOSFET82b及び82cはON状態となる。従って、転送期間においては、クランプ部8aが上述のクランプ回路7と同じ接続状態となり、クランプ／パルス合成回路8は、クランプ回路7と同様の動作を行う。

【0096】転送期間において、クランプ部8aは、入力線80aに入力される増幅されたパルス信号(V_{1m} 及び V_{3m})の交流成分(振幅 V_L)をキャパシタCによって伝送し、直流成分をダイオード81によってクランプする。従って、転送期間における出力線80b上の信号はレベル $-V_L \sim 0$ の2値信号となる。

【0097】タイミング信号TGがハイレベル(5V)となる読み出し期間においては、反転増幅信号 TG_m はローレベル(0V)となるため、PMOSFET82aはON状態、NMOSFET82b及び82cはOFF状態となる。このとき、入力線80eに供給される増幅パルス信号 TG_m' はハイレベル(V_H)となっているため、PMOSFET82aを介して、ハイレベル電圧(V_H)が出力線80bに出力される。

【0098】従って、クランプ／パルス合成回路8からは、実施例1と同様に、図12に示されるように、ローレベル($-V_L$)、中間値(0V)、及びハイレベル(V_H)を有する3値のパルス電圧信号 ϕV_1 及び ϕV_3 が出力される。

【0099】パルス合成部8bは、図25に示されるように、PMOSFET82aの代わりに、ゲートを接地したPMOSFET82eを用いて構成することも出来る。

【0100】クランプ部8aは、クランプ回路7の場合と同様に、図24に示すダイオードを用いるクランプ回

(11)

19

路の他に、MOSFETなどの他の半導体素子を用いて構成することもできる。例えば、図26に示すように、ダイオード81に代えてPチャネルのMOSFET83を用いてもよい。PMOSFET83は、ゲート及びドレインがNMOSFET82bを介して接地され、ソースが出力線80bに接続されている。更に、この場合においても、図27に示されるように、PMOSFET82aの代わりに、ゲートを接地したPMOSFET82eを用いてパルス合成部8bを構成することも出来る。

【0101】また、図28に示すように、ダイオード81に代えてNチャネルのMOSFET84を用いてクランプ部8aを構成してもよい。NMOSFET84は、ゲート及びドレインが出力線80bに接続され、ソースがNMOSFET82bを介して接地されている。更に、この場合においても、図29に示されるように、PMOSFET82aの代わりに、ゲートを接地したPMOSFET82eを用いてパルス合成部8bを構成することも出来る。

【0102】尚、クランプ回路8aは、上述の例に限らず、他のピーククランプ回路やその他のクランプ回路を用いることもできる。

【0103】次に、クランプ／パルス合成回路8のまた別の構成例について説明する。図30は、パルス合成部8bを、PチャネルMOSFET82a及びNチャネルMOSFET82dを用いて構成したクランプ／パルス合成回路8の1例を示している。

【0104】図30に示されるように、クランプ部8aは、図14で説明したクランプ回路7と同様の構成であり、キャパシタC及びダイオード81を有する負クランプ回路である。クランプ部8aの出力線80bは、パルス合成部8bのNMOSFET82dのソース端子に接続されている。尚、クランプ部8aのキャパシタCの容量は、クランプ回路7の場合と同様に0.1 μ F以上としている。

【0105】パルス合成部8bにおいて、PチャネルMOSFET82aのソース端子は、第2の振幅増幅回路6のノード62から出力される増幅パルス信号TG_m' (振幅レベル0 \sim V_H) が供給される入力線80eに接続されている。PチャネルMOSFET82a及びNチャネルMOSFET82dのドレイン端子は、共に出力線80cに接続されている。PチャネルMOSFET82a及びNチャネルMOSFET82dのゲート端子は、第2の振幅増幅回路6のノード61から出力される反転増幅信号TG_mが供給される入力線80dに接続されている。

【0106】従って、反転増幅信号TG_mがハイレベル(V_H)となる転送期間においては、PMOSFET82aはOFF状態、NMOSFET82dはON状態となるため、クランプ／パルス変換回路8の出力線80cには、クランプ部8aの出力線80b上の信号が出力さ

20

れる。転送期間において、クランプ部8aは、クランプ回路7と同様に、入力線80aに入力される増幅されたパルス信号(V_{1m}及びV_{3m})の交流成分(振幅レベル0 \sim V_L)をキャパシタCによって伝送し、直流成分をダイオード81によってクランプする。従って、転送期間における出力線80c上の信号はレベル-V_L \sim 0の2値信号となる。

【0107】反転増幅信号TG_mがローレベル(0V)となる読み出し期間においては、PMOSFET82aはON状態、NMOSFET82dはOFF状態となる。このとき、入力線80eに供給される増幅パルス信号TG_m'はハイレベル(V_H)となっているため、PMOSFET82aを介して、ハイレベル電圧(V_H)が出力線80cに出力される。

【0108】従って、クランプ／パルス合成回路8からは、図12に示されるように、ローレベル(-V_L)、中間値(0V)、及びハイレベル(V_H)を有する3値のパルス電圧信号 ϕ V₁及び ϕ V₃が出力される。

【0109】パルス合成部8bは、図31に示されるように、PMOSFET82aの代わりに、ゲートを接地したPMOSFET82eを用いて構成することも出来る。

【0110】クランプ部8aは、クランプ回路7の場合と同様に、図30に示すダイオードを用いるクランプ回路の他に、MOSFETなどの他の半導体素子を用いて構成することもできる。例えば、図32に示すように、ダイオード81に代えてPチャネルのMOSFET83を用いてもよい。PMOSFET83は、ゲート及びドレインが接地され、ソースが出力線80bに接続されている。更に、この場合においても、図33に示されるように、PMOSFET82aの代わりに、ゲートを接地したPMOSFET82eを用いてパルス合成部8bを構成することも出来る。

【0111】また、図34に示すように、ダイオード81に代えてNチャネルのMOSFET84を用いてクランプ部8aを構成してもよい。NMOSFET84は、ゲート及びドレインが出力線80bに接続され、ソースが接地されている。更に、この場合においても、図35に示されるように、PMOSFET82aの代わりに、ゲートを接地したPMOSFET82eを用いてパルス合成部8bを構成することも出来る。

【0112】尚、クランプ／パルス合成回路8におけるクランプ回路8aは、上述の例に限らず、他のピーククランプ回路やその他のクランプ回路を用いることもできる。

【0113】本実施例においても、実施例1の場合と同様の効果を得ることができる。更に、本実施例の場合は、クランプ／パルス合成回路に供給するハイレベルを有する電圧信号として、電源回路からの直流電圧ではなく、第2の振幅変換回路から供給されるパルス信号を用

(12)

21

いている。従って、その構成上、トランジスタのラッチアップが生じないという利点がある。

【0114】（実施例3）本発明によるドライバ回路1は、単独で集積化することも可能であるが、CCD撮像素子3と一体化して集積化することもできる。本実施例においては、ドライバ回路1をCCD撮像素子3と同一基板上に一体化して形成する場合について説明する。

【0115】図36は、ドライバ回路1のうち、図14に示されるダイオード71を用いたクランプ回路7をCCD撮像素子3と共に集積化する場合の構成を示している。ここでは、垂直CCD駆動用のパルス電圧信号 ϕV_4 を出力するクランプ回路7を形成した場合について説明する。

【0116】図36に示すように、集積回路の基板となるn型基板11においては、CCD撮像素子3の垂直CCDを形成するCCD部3'に不純物濃度が薄く浅いpウェル12が形成され、クランプ回路7を形成するクランプ回路部7'には、不純物濃度が濃く深いpウェル14が形成される。

【0117】CCD部3'においては、pウェルの表面上に酸化膜（図示せず）を介して駆動用の電極13が形成される。各電極13には、それぞれの配線を介して、CCD駆動用のパルス電圧信号 $\phi V_1 \sim \phi V_4$ が印加される。また、n型基板11には正電圧 V_{OPD} が印加される。

【0118】n型基板11のクランプ回路部7'においては、pウェル14内にPN接合のダイオード71が形成される。ダイオード71のカソードは接地され、アノードはキャパシタCからの出力線70bに接続されている。増幅されたタイミング信号 V_{4m} は、入力線70aを介してキャパシタCに供給される。キャパシタCは、外付けに形成され、またはn型基板11の図示しない領域に形成されている。実施例1で説明したように、出力線70bから、CCD駆動用のパルス電圧信号 ϕV_4 が出力され、対応する電極13に印加される。

【0119】図37は、ドライバ回路1のうち、図17に示されるダイオード81を用いたクランプ/パルス合成回路8をCCD撮像素子3と共に集積化する場合の構成を示している。ここでは、垂直CCD駆動用のパルス電圧信号 ϕV_1 を出力するクランプ/パルス合成回路8を形成した場合について説明する。

【0120】図37に示すように、集積回路の基板となるn型基板11においては、CCD撮像素子3の垂直CCDを形成するCCD部3'に不純物濃度が薄く浅いpウェル12が形成され、クランプ/パルス合成回路8を形成するクランプ/パルス合成回路部8'には、それぞれの素子に対応して、不純物濃度が濃く深いpウェル15~17が形成される。

【0121】CCD部3'においては、pウェルの表面上に酸化膜（図示せず）を介して駆動用の電極13が形

22

成される。各電極13には、それぞれの配線を介して、CCD駆動用のパルス電圧信号 $\phi V_1 \sim \phi V_4$ が印加される。また、n型基板11には正電圧 V_{OPD} が印加される。

【0122】図37に示されるように、n型基板11のクランプ/パルス合成回路部8'においては、pウェル15内にNチャネルMOSFET82cが形成され、pウェル16内にはNチャネルMOSFET82b及びダイオード81が形成され、pウェル17内にはPチャネルMOSFET82aが形成される。

【0123】増幅されたタイミング信号 V_{1m} は、入力線80aを介してキャパシタCに供給される。キャパシタCは、外付けに形成され、またはn型基板11の図示しない領域に形成されている。キャパシタCからの出力は、NMOSFET82cのソースに接続され、NMOSFET82cのドレインは出力線80bに接続している。

【0124】出力線80bには、ダイオード81のアノードが接続され、ダイオード81のカソードはNMOSFET82bのソースに接続されている。NMOSFET82のドレインは接地されている。また、出力線80bには、pウェル17内のPMOSFET82aを介して電源電圧（ V_H ）が印加される。MOSFET82a~82cの各ゲートには、反転増幅信号 TG_m が入力され、実施例1で説明したように、出力線80bからCCD駆動用のパルス電圧信号 ϕV_1 が出力され、対応する電極13に印加される。

【0125】図36及び37に示されるいずれの例においても、CCD部に形成されるpウェル12は、正電圧 V_{OPD} を高電圧にすることによるパンチスルー現象によってフォトダイオード内の過剰電荷をn型基板11側に放出するために浅く形成し、不純物濃度が低濃度である方がよい。一方、クランプ回路部7'やクランプ/パルス合成回路部8'の深いpウェル14~17は、MOSFETなどが形成されるため、パンチスルー現象が発生しないように深く形成し、不純物濃度を比較的高濃度にする必要がある。従って、一般に、pウェル12はキャリア密度が 10^{14} cm^{-3} 、接合深さが $2 \mu \text{ m}$ 程度に形成され、pウェル14~17は、キャリア密度が 10^{15} cm^{-3} 、接合深さが $4 \mu \text{ m}$ 以上に形成される。

【0126】また、図37に示したクランプ/パルス合成回路部8'のpウェル15~17は、不純物濃度や深さは同一でよい。また、pウェル16及びpウェル17の電位は共に0Vとなるので共通のpウェルとして形成することができる。pウェル15は電位が異なるため、分離して形成される。

【0127】pウェル16及び17を共通pウェルとして形成にすることにより、内部に形成されるNチャネルのMOSFET82bと、pウェル17内のnウェル18に形成されるPチャネルのMOSFET82aとがラ

(13)

23

ツチアップ現象を起こすおそれがある場合には、pウェル16とpウェル17とを分離して形成すべきである。

【0128】

【発明の効果】上述のように、本発明のドライバ回路によれば、入力パルス信号（タイミング信号）を振幅変換した後にクランプすることにより、正レベル（ V_H ）の電源電圧のみを供給する1系統の電圧回路を用いて、負電圧レベル（ $-V_L$ ）を有する2値のパルス電圧信号を発生することができる。正レベルの電源電圧から、分圧回路を用いて中間電圧（ V_L ）を発生させることにより、電源電圧とは絶対値の異なる負電圧（ $-V_L$ ）を得ることができる。クランプ回路やクランプ／パルス合成回路のクランプ部においてクランプする電圧は、接地電圧（0V）と、分圧回路で得た中間電圧（ V_L ）との間で自由に選択することができる。

【0129】また、このようにして得られた負電圧レベルを有する2値のパルス電圧信号に、正レベルを有する信号を合成（すなわち、所定のタイミングで切り替えて出力）することにより、負電圧レベル（例えば $-V_L$ ）、中間値（例えば0V）、及び正電圧レベル（例えば V_H ）を有する3値のパルス電圧信号を生成することができる。上記の実施例においては、正レベルの直流電圧（ V_H ）を合成する場合について説明したが、正レベルを有する2値以上の信号（例えば2値のパルス信号）を合成することもできる。このように、合成するパルス電圧信号は3値に限らず、クランプ及びパルス合成を行うことによって、所望の多値レベルを有するパルス電圧信号を生成することが可能である。

【0130】上記の実施例においては、正電圧を発生する1系統の電源回路を用いて、負電圧レベルを含む多値レベルのパルス電圧信号を生成するドライバ回路について説明したが、本発明はこれに限られるものではない。本発明によれば、同様に、負電圧を発生する1系統の電源回路のみを用いて、正電圧レベルを含む多値レベルのパルス電圧信号を生成することもできる。このように本発明によれば、正負何れか1系統の電源回路を用いて、正レベル及び負レベルを含む所望の多値レベルの駆動用パルス電圧信号を生成できる。

【0131】従って、本発明によれば、極性（正電圧または負電圧）の異なる電圧信号を発生するための電源回路を別途に設けることなく、各種装置の駆動用の多値レベルのパルス電圧信号を生成できるため、装置の小型化及びローコスト化が可能である。また、クランプ回路及びクランプ／パルス合成回路をCCD撮像素子と一体化して形成することにより、より回路構成を簡略化することが可能である。

【0132】本発明によるドライバ回路は、CCD撮像素子の駆動用に限られるものではない。しかし、実施例で説明したように、本発明のドライバ回路をカメラシステムにおけるCCD撮像素子の垂直CCD駆動用に適用

24

した場合、以下に示すように多くの点で有利となる。

【0133】カメラシステムにおいては、通常、IC及び電解コンデンサがカメラシステムの基板面積の大部分を占めている。電解コンデンサは、ノイズを防止するために、各電源毎に必ず設ける必要がある。従って、例えば電源回路が正電圧系統及び負電圧系統を有する場合、それぞれの系統に対して電解コンデンサが必要である。

【0134】本発明によれば、電源回路を1系統のみとすることができるので、カメラシステムの基板面積の多くを占有する電解コンデンサの数を大幅に減少させることができるので、カメラシステムの小型化・軽量化に非常に有利である。更に、電源部品（電解コンデンサ、DCコンバータ、配線や電源部のコネクタ等）を少なくすることができるため、ローコスト化も可能となる。

【0135】また、IC部分は、CCD、ドライバ回路（ドライバIC）、及びタイミング回路などから構成される。電源回路を1系統とすることにより、ドライバ回路の内部構成も簡素化することができ、足ピン数も減少できるため、従来よりも小型化することが可能となる。

【0136】また、ドライバ回路をCCD内部に一体化して形成することも可能である。ドライバ回路をCCDと一体化することによって、その分チップ面積が増大するが、電源回路を1系統とすることにより全体的なチップ面積の増大が抑制される。従って、一体化した場合にも、カメラシステムの小型化に有利となる。

【0137】更に、本発明のドライバ回路によれば、正レベル（または負レベル）の電源電圧のみでCCDを駆動することができる。従って、正電源（または負電源）から負電圧（または正電圧）を生成するためのDCコンバータが不要となり、それだけ消費電力を削減できる。CCD撮像素子を用いた簡易画像入力装置（例えば、携帯情報端末、PC、TV電話など）においては、特に低消費電力化に対する要求が高い。本発明によれば、装置を軽量・小型化できるだけでなく、このような低消費電力化の要求をも満たすことが可能である。

【図面の簡単な説明】

【図1】従来のCCD型撮像素子の構成を示すブロック図である。

【図2】CCD撮像素子の垂直CCDを駆動する従来のパルス電圧信号を示すタイムチャートである。

【図3】CCD撮像素子を駆動する従来のドライバ回路、タイミング回路、及び電源回路を示すブロック図である。

【図4】従来のタイミング回路が発生するタイミング信号を示すタイムチャートである。

【図5】従来のドライバ回路の構成を示すブロック図である。

【図6】従来のドライバ回路において振幅変換回路から出力されるパルス信号を示すタイムチャートである。

【図7】従来のドライバ回路における、クランプ回路及

(14)

25

び振幅変換回路の構成を示すブロック図である。

【図8】従来のドライバ回路における、クランプ回路、振幅変換回路、及びパルス合成回路の構成を示すブロック図である。

【図9】本発明によるドライバ回路によってCCD撮像素子を駆動する構成を示すブロック図である。

【図10】本発明の1つの実施例によるドライバ回路の構成を示すブロック図である。

【図11】本発明のドライバ回路における第1の振幅変換回路の構成を示すブロック図である。

【図12】本発明のドライバ回路において発生される各種のパルス信号を示すタイムチャートである。

【図13】本発明のドライバ回路における第2の振幅変換回路の構成を示すブロック図である。

【図14】本発明のドライバ回路におけるクランプ回路の1つの構成例を示すブロック図である。

【図15】本発明のドライバ回路におけるクランプ回路のもう1つの構成例を示すブロック図である。

【図16】本発明のドライバ回路におけるクランプ回路のまた別の構成例を示すブロック図である。

【図17】本発明の1つの実施例によるドライバ回路における、クランプ／パルス合成回路の構成例を示すブロック図である。

【図18】本発明の1つの実施例によるドライバ回路における、クランプ／パルス合成回路のもう1つの構成例を示すブロック図である。

【図19】本発明の1つの実施例によるドライバ回路における、クランプ／パルス合成回路のまた別の構成例を示すブロック図である。

【図20】本発明の1つの実施例によるドライバ回路における、クランプ／パルス合成回路のまた別の構成例を示すブロック図である。

【図21】本発明の1つの実施例によるドライバ回路における、クランプ／パルス合成回路のまた別の構成例を示すブロック図である。

【図22】本発明の1つの実施例によるドライバ回路における、クランプ／パルス合成回路のまた別の構成例を示すブロック図である。

【図23】本発明のもう1つの実施例によるドライバ回路の構成を示すブロック図である。

【図24】本発明のもう1つの実施例によるドライバ回路における、クランプ／パルス合成回路の構成例を示すブロック図である。

【図25】本発明のもう1つの実施例によるドライバ回路における、クランプ／パルス合成回路のもう1つの構成例を示すブロック図である。

【図26】本発明のもう1つの実施例によるドライバ回路における、クランプ／パルス合成回路のまた別の構成例を示すブロック図である。

26

【図27】本発明のもう1つの実施例によるドライバ回路における、クランプ／パルス合成回路のまた別の構成例を示すブロック図である。

【図28】本発明のもう1つの実施例によるドライバ回路における、クランプ／パルス合成回路のまた別の構成例を示すブロック図である。

【図29】本発明のもう1つの実施例によるドライバ回路における、クランプ／パルス合成回路のまた別の構成例を示すブロック図である。

10 【図30】本発明のもう1つの実施例によるドライバ回路における、クランプ／パルス合成回路のまた別の構成例を示すブロック図である。

【図31】本発明のもう1つの実施例によるドライバ回路における、クランプ／パルス合成回路のまた別の構成例を示すブロック図である。

【図32】本発明のもう1つの実施例によるドライバ回路における、クランプ／パルス合成回路のまた別の構成例を示すブロック図である。

20 【図33】本発明のもう1つの実施例によるドライバ回路における、クランプ／パルス合成回路のまた別の構成例を示すブロック図である。

【図34】本発明のもう1つの実施例によるドライバ回路における、クランプ／パルス合成回路のまた別の構成例を示すブロック図である。

【図35】本発明のもう1つの実施例によるドライバ回路における、クランプ／パルス合成回路のまた別の構成例を示すブロック図である。

【図36】本発明の1つの実施例による、基板上に形成したクランプ回路の構成例を示す断面図である。

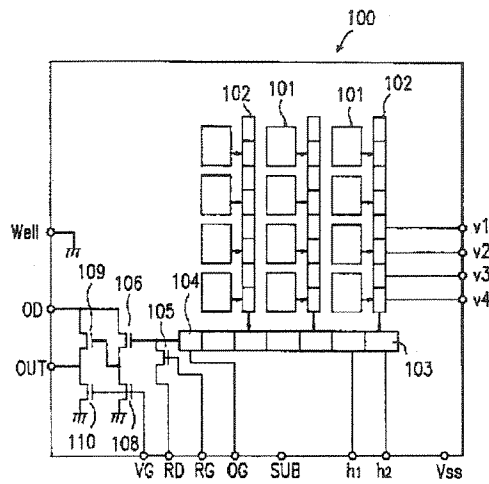
30 【図37】本発明の1つの実施例による、基板上に形成したクランプ／パルス合成回路の構成例を示す断面図である。

【符号の説明】

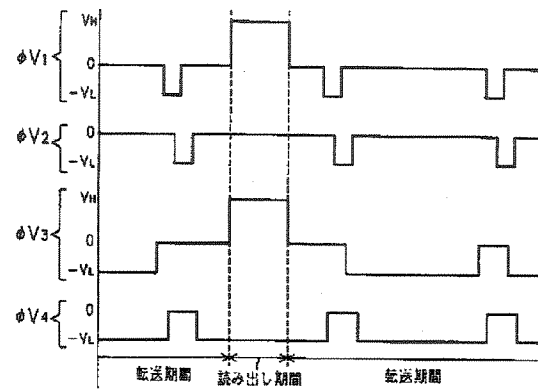
- 4 電源回路
- 5 第1の振幅変換回路
- 6 第2の振幅変換回路
- 7 クランプ回路
- 70a 入力線
- 70b 出力線
- 40 71 ダイオード
- 8 クランプ／パルス合成回路
- 8a クランプ部
- 8b パルス合成部
- 80a 入力線
- 80b 出力線
- 81 ダイオード
- 82a～c MOSFET
- 9 分圧回路

(15)

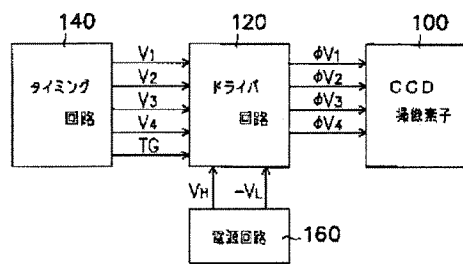
【図1】



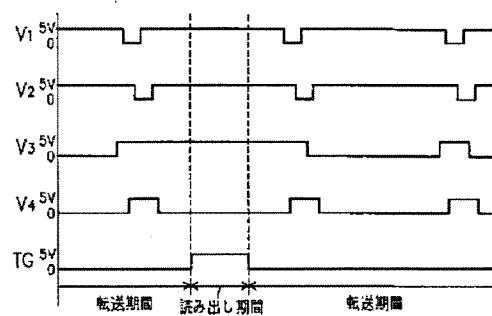
【図2】



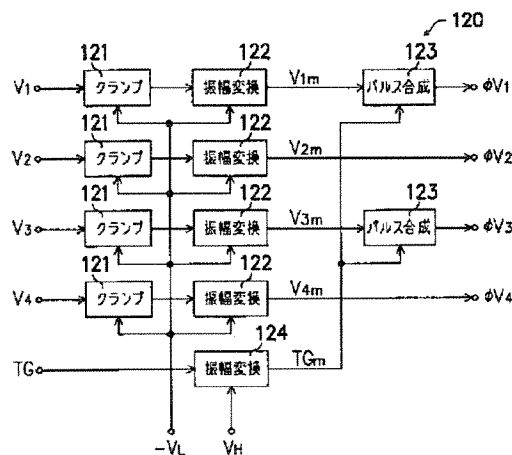
【図3】



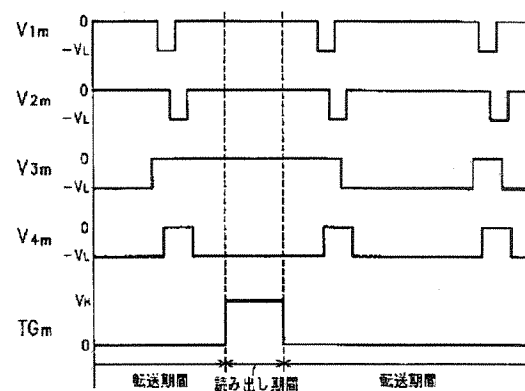
【図4】



【図5】

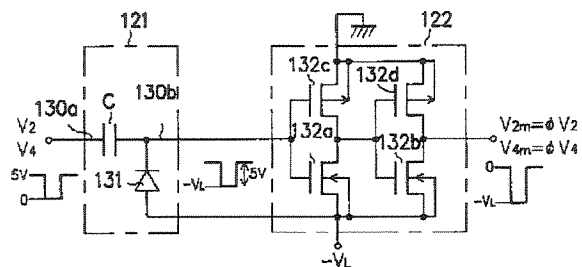


【図6】

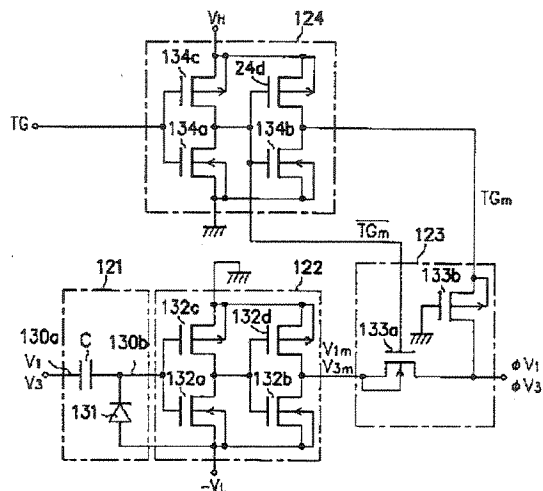


(16)

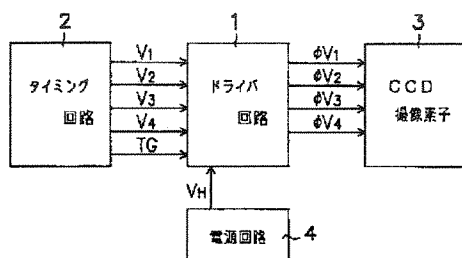
【図 7】



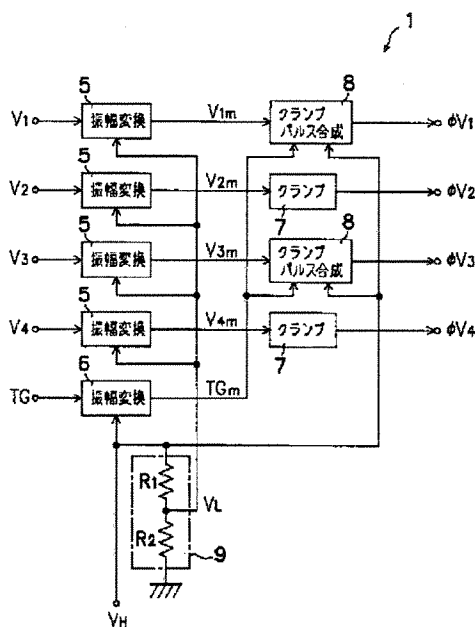
【図 8】



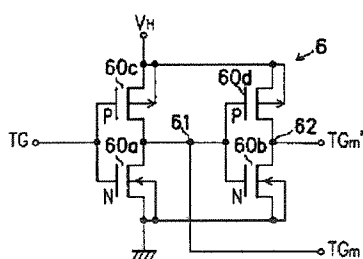
【図 9】



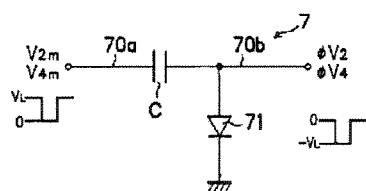
【図 10】



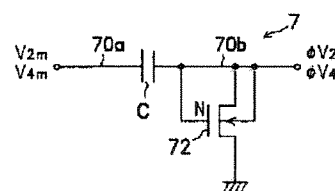
【図 13】



【図 14】

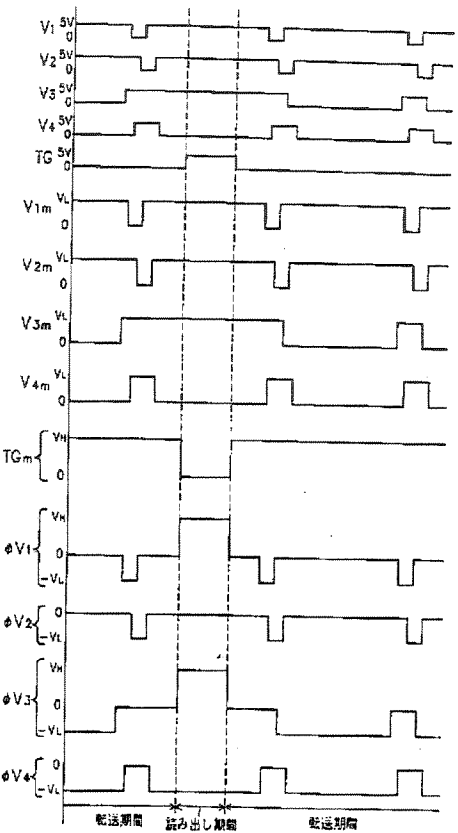


【図 15】

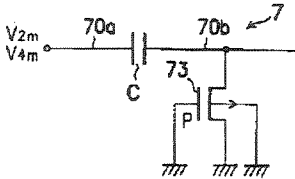


(17)

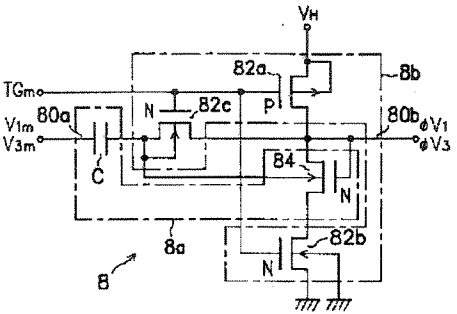
【図12】



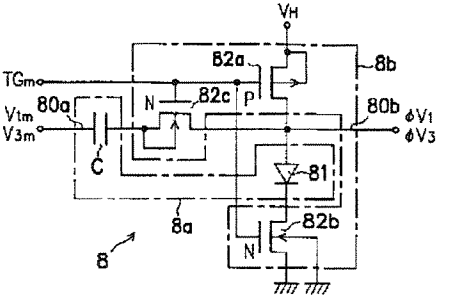
【図16】



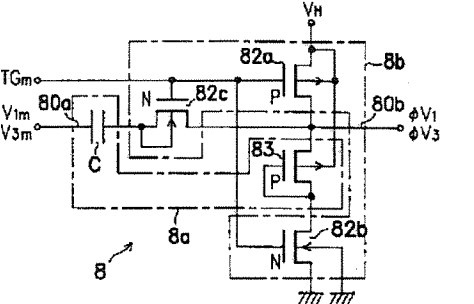
【図19】



【図17】

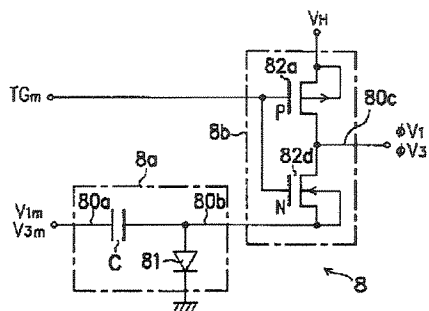


【図18】

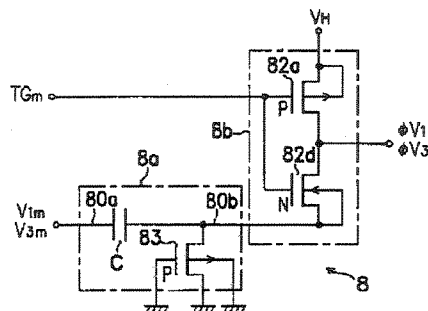


(18)

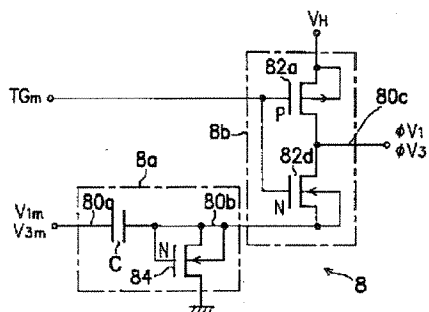
【図20】



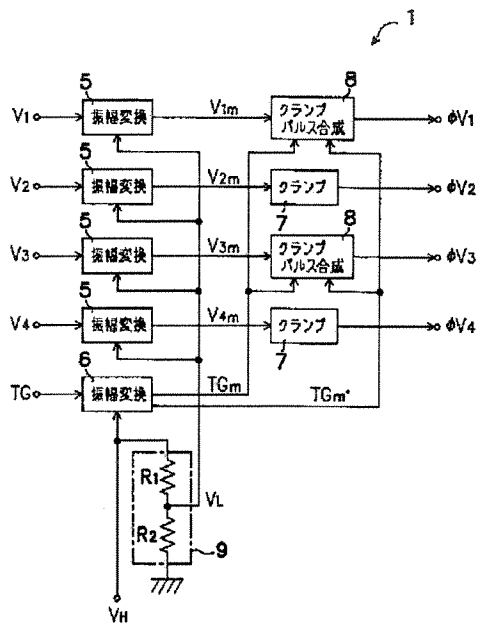
【図21】



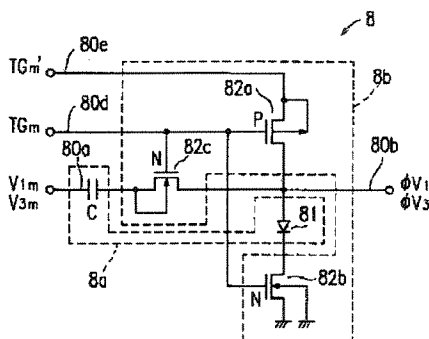
【図22】



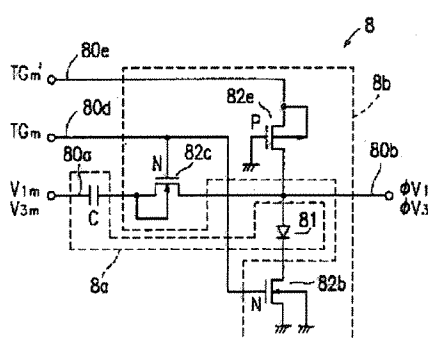
【図23】



【図24】

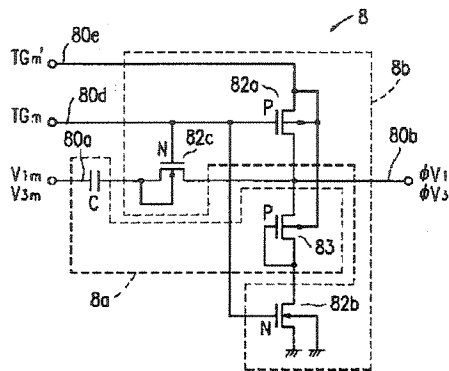


【図25】

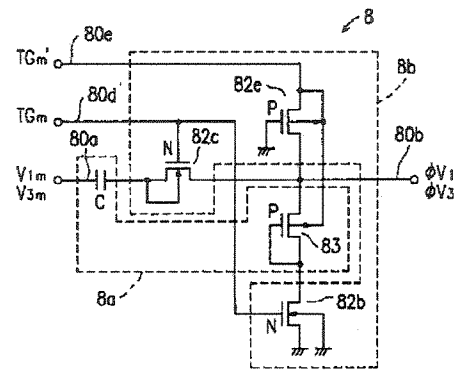


(19)

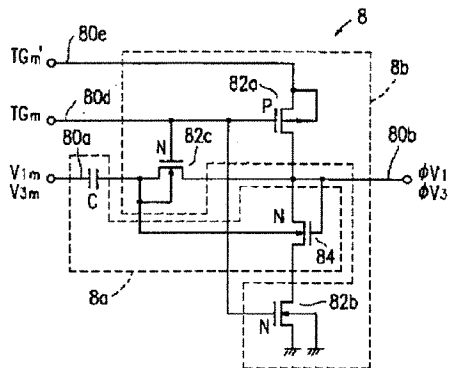
【図26】



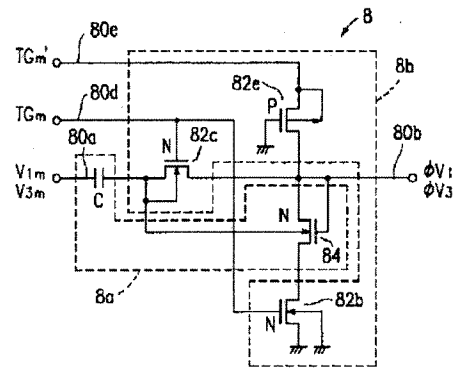
【図27】



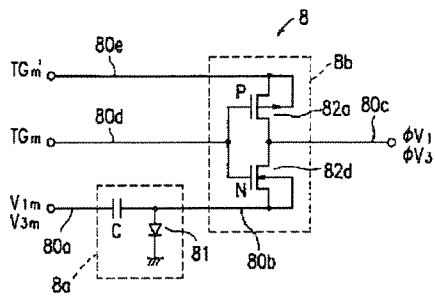
【図28】



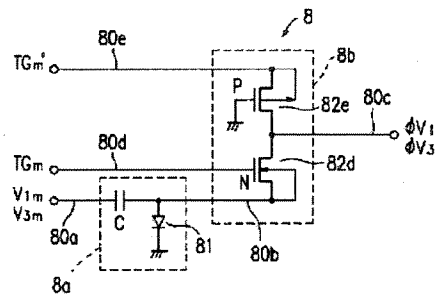
【図29】



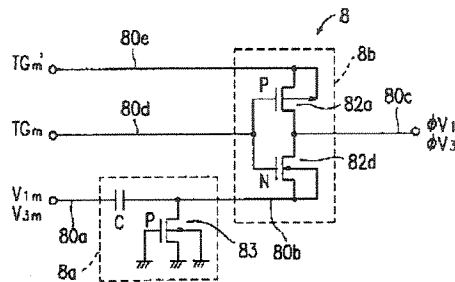
【図30】



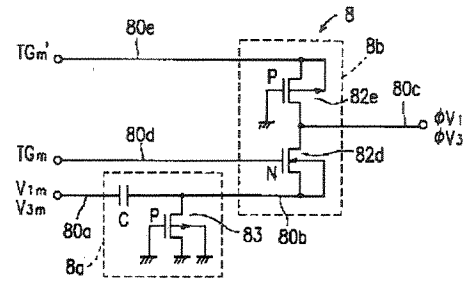
【図31】



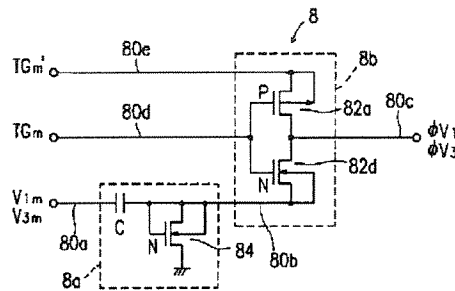
【图 3 2】



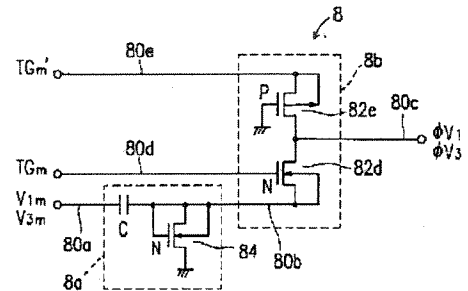
【图 3 3】



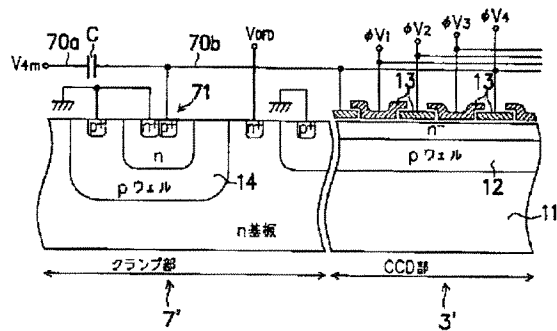
【図 34】



【図 35】



【图 3 6】



【図 37】

